

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-031329

(43)Date of publication of application : 28.01.2000

(51)Int.Cl.

H01L 23/12
H05K 3/46

(21)Application number : 10-200478

(71)Applicant : NGK SPARK PLUG CO LTD

(22)Date of filing : 15.07.1998

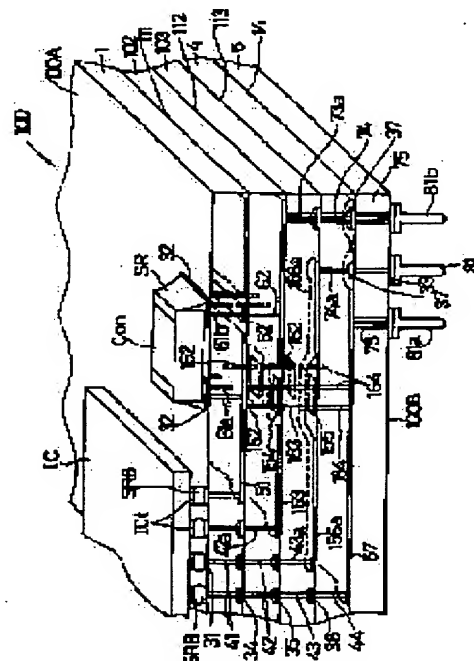
(72)Inventor : NAKANISHI NAOYA
NOMURA YOSHITOSHI

(54) MULTILAYERED WIRING BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To make electric currents easily flow through ground wiring layer and a power supply wiring layer, by changing the directions of rowed via hole groups extended from a capacitor.

SOLUTION: In a multilayered wiring board, rowed via holes 61 and 62 are extended toward the rear surface 100B of the board. Of the via holes 61 and 62, those via holes 61a are connected to a ground wiring layer 51 provided between first insulating layers 111, and the rowing direction of the holes 61a is turned to a direction which is nearly parallel to a cut line (virtual line) C-C' by means of a turning via hole 162. Between second insulating layers 112, consequently, an insulating pattern formed between a power supply wiring layer 153 and a turning via hole connecting conductor layer which connects turning via holes 162 to each other is extended in nearly parallel to the virtual line C-C', and an electric current flows through a power supply wiring layer 153s between them. Therefore, the resistance of the wiring layer 153 can be lowered. Between third insulating layers 113, in addition, signal wiring 156a can be passed through the space between turned extension via hole groups 163.



LEGAL STATUS

[Date of request for examination]

15.02.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3495917

[Date of registration]

21.11.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanese Unexamined Patent Publication
No. 31329/2000 (*Tokukai* 2000-31329)

A. Relevance of the Above-identified Document

The following is a partial English translation of exemplary portions of non-English language information that may be relevant to the issue of patentability of the claims of the present application.

B. Translation of the Relevant Passages of the Document

See also the attached English Abstract.

[0030]

In the above embodiment, the direction of rowed vias is veered with the use of the group of rowed vias 61 formed on the insulation layer 1; the ground wiring layer 51 formed in an insulation layer-betweenness 111, and a group of veering vias 62 formed on the insulation layer 2. Furthermore, the direction of rowed vias in the insulation layers 2 and 3, and an insulation layer-betweenness 12 of these layers may be changed in the similar manner. In this case, shortening of a path is possible, as in the above-mentioned embodiment, in relation to the signal wiring 162 formed in an insulation layer-betweenness 113. Hence, the resistance of the signal wiring can be reduced. However, the resistance of the power source wiring layer formed in an insulation layer-betweenness 112 cannot be

lowered. This is because the shape of the power source wiring layer is the same as the power source wiring 53 of aforesaid conventional substrate 00 (See Fig. 6 and Fig. 7(a)). For this reason, it is apparent that the direction of the rowed vias is preferably changed in a closest possible position to the condenser pad 32. In other words, it is preferable that the veering conductive layer (i.e., ground wiring layer 51 of the above embodiment) via which rowed vias 61 and the rowed vias 62 are connected be formed between (I) the insulation layer 1 having a surface (i.e. 100A of the above embodiment) on which the condenser pad 32 is formed and (II) the insulation layer 102 adjacent to the insulation layer 1.

[0031]

In the embodiment, the group of three rowed vias 61 is lead to two groups of two veering vias 162 (i.e., 2 vias \times 2). Further, the ground wiring layer 51 is adopted as the conductive layer for connecting the rowed vias with the veering vias. However the present invention is not limited such a configuration, and other configurations are also possible. For example, as illustrated in Fig. 4(a), a group of five rowed vias 261 aligned in forward and backward direction of the figure may be veered, via the substantially rectangular veering conductive layer 25 (not shown) formed between the insulation layers, to veering via groups 262a, 262b, and 262c each group having two vias

aligned in the horizontal direction of the figure. Note that, for the reason stated above, the veering vias 262a, 262b, and 262c are electrically connected to the veering vias connecting conductive layers 254a, 254b, 254c, respectively. In this configuration, a broad conductive layer (not shown) such as the ground wiring layer or the power source wiring layer can be formed after the formation of an insulation pattern (not shown) between, for example, the veering vias 262b and the veering vias 262c (i.e., between the veering vias connecting conductive layers 254b and 254c) so that a predetermined insulation pitch is maintained. Further, the signal wiring layer can be provided between the veering vias connecting conductive layers 254b and 254c. Thus, unlike the conventional configuration, a roundabout route to avoid the group of the rowed vias is no longer necessary. This allows the current to flow (or a signal to be transmitted) in the horizontal direction of the figure as indicated by the arrow. Hence the resistance of the broad conductive layer such as the ground wiring layer or the resistance of the signal wiring can be lowered, and delay in signal transmission is prevented.

[0032]

Further, as illustrated in Fig. 4(b), a group of five rowed vias 361 aligned in the forward and backward direction of the figure may be veered, via the substantially

cross-shaped veering conductive layer 351(not shown) formed between the insulation layers, to a group of five veering vias 362 aligned in the horizontal direction of the figure. Note that, each of the veering vias 362 may be made electrically conductive to one another via a veering vias connecting conductive layer 354, respectively. As in the above case, a broad conductive layer (not shown) such as a ground wiring layer can be formed up to the vicinity of the veering vias 362 or the vicinity of the veering vias connecting conductive layer 354, after realizing insulation so that a predetermined insulation pitch is maintained between the veering vias 362 and the veering vias connecting conductive layer 354. Further, a signal wiring layer can be provided nearby the veering vias 362 or the veering vias connecting conductive layer 354. Thus, as in the above case, the resistance of the broad conductive layer such as the ground wiring layer can be lowered, or the resistance of the signal wiring layer can be lowered. Hence delay in signal transmission is prevented.

[0033]

In the above examples of Fig. 4(a) and Fig. 4(b) described in the present Embodiment, the direction in which the the rowed vias are aligned and the direction in which the veering vias are aligned cross the substrate at substantially right angle. However, the present invention is aimed at, for example, lowering the resistance of a

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-31329

(P2000-31329A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl.⁷

識別記号

F I

ターミナル* (参考)

H 0 1 L 23/12

H 0 1 L 23/12

N

5 E 3 4 6

H 0 5 K 3/46

H 0 5 K 3/46

N

Q

H 0 1 L 23/12

E

審査請求 未請求 請求項の数 4 O L (全 12 頁)

(21) 出願番号

特願平10-200478

(22) 出願日

平成10年7月15日 (1998.7.15)

(71) 出願人 000004547

日本特殊陶業株式会社

愛知県名古屋市瑞穂区高辻町14番18号

(72) 発明者 中西 直也

名古屋市瑞穂区高辻町14番18号 日本特殊
陶業株式会社内

(72) 発明者 野村 俊寿

名古屋市瑞穂区高辻町14番18号 日本特殊
陶業株式会社内

(74) 代理人 100104167

弁理士 奥田 誠 (外 2 名)

最終頁に続く

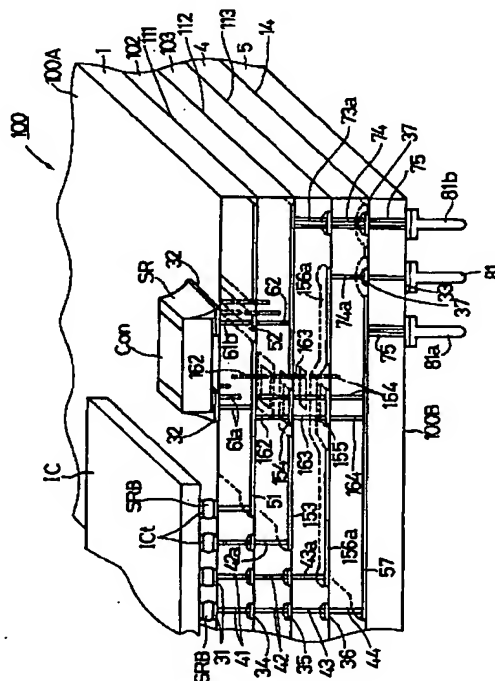
(54) 【発明の名称】 多層配線基板

(57) 【要約】

(修正有)

【課題】 コンデンサパッドから延びる列設ビア群の列設方向を転換して、ベタ状の接地配線層や電源配線層において電流を流れやすくする。

【解決手段】 列設ビア61、62が裏面100B側に向かって延びるが、このうち、列設ビア61aは、第1絶縁層間111に設けた接地配線層51に接続し、転換ビア162によって切断線（仮想線）C-C'に略平行な方向に並ぶようにする。このため、第2絶縁層間112において、電源配線層153と転換ビア162同士を接続する転換ビア接続導体層との間に形成される絶縁パターンが、仮想線C-C'に略平行に延びる形状となり、これらの間の電源配線層153sを通じて電流が流れるので、電源配線層153の抵抗を低下させることができる。また、第3絶縁層間113においても、信号配線156aを転換延長ビア163の群同士の間を通すことができる。



【特許請求の範囲】**【請求項 1】** 表面と裏面とを有し、

上記表面の一部を占める領域であって、その内部に IC 接続端子を多数含む端子形成領域と、

上記表面または裏面に形成され、IC チップに接地電位を供給するための接地端子および電源電位を供給するための電源端子を含む多数の外部接続端子と、

上記表面または裏面に形成され、コンデンサを接続するコンデンサパッドと、を備える多層配線基板であって、上記コンデンサパッドが形成された面との間に少なくとも 2 層の絶縁層が介在する絶縁層間に形成され、上記 IC 接続端子と上記接地端子または電源端子とを導通する導通路の一部を構成し、上記多層配線基板を平面視かつ透視したときに、少なくとも上記端子形成領域と上記導通される接地端子または電源端子との間に広がるベタ導体層を備え、

上記コンデンサパッドは、上記多層配線基板を平面視かつ透視したときに、上記端子形成領域と上記ベタ導体層に接続する上記接地端子または電源端子とを結ぶ仮想線上にあり、しかもその長手方向が上記仮想線に交差して配置されており、

上記コンデンサパッドから延びるビア群であって、少なくともコンデンサパッドが形成される面を構成する絶縁層においてコンデンサパッドの長手方向に並び、上記ベタ導体層と絶縁を保ちつつ、このベタ導体層が形成された上記絶縁層間を越えて反対面側に向けて延びるビア群を備え、

上記ビア群は、

上記ベタ導体層よりも上記コンデンサパッドが形成された面側に位置し隣接する 2 層の絶縁層のうち、

上記コンデンサパッド側の絶縁層に形成されたビア群が、上記コンデンサパッドの長手方向に並ぶ 1 つの列設ビア群を構成し、

上記コンデンサパッドと反対面側の絶縁層に形成されたビア群が、上記仮想線に略平行な方向に並ぶ 1 または複数の転換ビア群を構成し、

上記 2 層の絶縁層間に形成され、上記列設ビア群と上記転換ビア群とを導通する転換導体層を備え、

上記転換ビア群またはこれより上記反対面側に延びる転換延長ビア群の各ビアとベタ導体層との間に、両者間の絶縁を保ち、上記仮想線に略平行な方向に延びまたは並ぶ形状の絶縁パターンを備えることを特徴とする多層配線基板。

【請求項 2】 請求項 1 に記載の多層配線基板であって、

前記転換導体層が、前記コンデンサパッドが形成された面を構成する絶縁層とこれに隣接する絶縁層との間に形成されていることを特徴とする多層配線基板。

【請求項 3】 請求項 1 または請求項 2 に記載の多層配線基板であって、1 つの前記列設ビア群と接続する前記

転換ビア群を複数備える場合において、

上記列設ビア群における各ビア同士の前記コンデンサパッドの長手方向の間隔に比して、隣接する転換ビア群にそれぞれ属するビア同士の上記長手方向の間隔が広くされていることを特徴とする多層配線基板。

【請求項 4】 請求項 3 に記載の多層配線基板であって、前記転換ビア群同士、または前記転換延長ビア群同士に挟まれた信号配線を備えることを特徴とする多層配線基板。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、絶縁層と信号配線層や接地・電源配線層などの導体層が積層され、IC チップを搭載する多層配線基板に関し、特に、その表面または裏面にコンデンサを装着する多層配線基板に関する。

【0002】

【従来の技術】 従来より、IC チップを搭載する多層配線基板においては、接地電位や電源電位にノイズが侵入して IC の動作が不安定になるのを防止するため、接地配線と電源配線との間にデカップリングコンデンサを挿入することが行われている。例えば、高誘電率のセラミックからなるセラミックチップコンデンサを、多層配線基板（以下、単に基板ともいう）の表面や裏面に搭載するものが挙げられる。また、接地電位や電源電位は IC チップの各所において必要とされるため、IC チップに設ける端子の多く（時には約半数）が接地電位や電源電位のための端子とされ、従って、基板の各所で接地電位や電源電位を引き出せるような構造が求められる。また、接地配線や電源配線は、通常の信号配線よりも多くの電流を流すため、低抵抗であることが求められる。このような要求を満たすため、多層配線基板の絶縁層間に広い面積にわたって、ベタ状の接地配線や電源配線を設けることがある。さらに、このような接地配線と電源配線とを絶縁層を介して対向させることで、基板内部に静電容量はあまり大きくないものの、コンデンサを構成させる場合もある。

【0003】 ところで、通常の基板においては、表面の略中央に IC チップを搭載し、これと裏面あるいは表面の周縁部に形成したピンやボールなどの外部接続端子とを、基板内部に形成した配線によって接続する構造とすることが多い。このような基板について平面視しかつ絶縁層を透視して、各信号配線の配線パターンを見ると、一般に、各信号配線が、略中央付近に位置する信号用の IC 接続端子から、基板の周縁部に向かって概略放射状に延びて信号用の外部接続端子に接続する、つまり信号配線の間隔が外に向けて徐々に広がるファンアウトパターンとなる。また、接地あるいは電源用 IC 接続端子からベタ状の接地配線や電源配線を通じて、接地用あるいは電源用の外部接続端子に接続するときには、ベタ状の

接地配線や電源配線を流れる電流も、最短の経路を通るために、概略放射状に電流が流れると考えられる。なお、上記の説明においては、各絶縁層を貫通して上下層を接続するビアは省略して説明している。

【0004】一方、基板の表面あるいは裏面にコンデンサを搭載する場合には、上記したように、コンデンサの両端をそれぞれ接地電位及び電源電位に接続するため、基板表面（または裏面）に設けたコンデンサパッドからビアを通じて、基板内部の接地配線や電源配線と接続するようにする。なお、このコンデンサパッドは、搭載するコンデンサの電極形状にもよるが、一般に、1対のコンデンサパッドが、「＝」状に平行に形成され、各パッドは略長形状にされることが多い。ここで、コンデンサと接地配線や電源配線との接続抵抗が大きくなるとノイズ除去能力が低下するため、できるだけ低抵抗の接続とすべく、できるだけ多くのビアを形成して両者を接続することが多く、コンデンサパッドの長手方向に沿って可能な限り間隔を狭く（詰めて）ビアを列設し、ビア同士の間隔を保ちつつ基板内部に延びるようにする場合が多い。

【0005】

【発明が解決しようとする課題】しかしながら、コンデンサパッドの長手方向と、上記したベタ状の接地配線や電源配線を流れる電流の向き、あるいは、信号配線の広がる向きとの関係において、不都合が生じる場合がある。基板の表面（あるいは裏面）にどの様にコンデンサを配置するかは、要求される基板の特性やコンデンサの取付の容易さ等を考慮して決められるため、コンデンサパッドの長手方向が、ベタ状の接地配線等を流れる電流の向きおよび信号配線の広がる方向である基板中央から周縁に向かう放射状の向きと、交差する向きになることがある。ここで、列設されたビアがベタ状の接地配線層や信号配線層を越えて反対面（裏面あるいは表面）側に延びる場合には、狭い間隔で列設されたビアと絶縁を保ちながらこの間を通るようにして、ベタ状の接地配線等の一部を形成したり、信号配線を形成することは困難である。従って、接地配線層等においては、列設されたビアとの絶縁を保つべく、コンデンサパッドの長手方向と略同方向に延びる絶縁パターンが形成される。このため、接地配線層等を流れる電流は、この絶縁パターンの周りを迂回して流れることになるので相対的に抵抗が高くなる。また、信号配線も、列設されたビアの周りを迂回するように形成されるので、信号配線の抵抗が増え、距離が長くなることにより信号の遅延を生じる。

【0006】図6に示す多層配線基板00を参照して説明する。この基板00の表面00Aには、ICチップICをフリップチップ接続で装着するフリップチップパッド31が多数形成され、さらに、積層セラミックチップコンデンサConをハンダSRで固着・搭載するための略長形状のコンデンサパッド32も形成されている。

また、裏面00Bには、ピンパッド33が形成され、ピン81が固着されている。5層の絶縁層1～5の絶縁層間11～14には、フリップチップパッド31とビア41～44を介して接続する接地配線層51、57、電源配線層53、および信号配線56が形成され、これらは、ビア73～75を介してそれぞれピンパッド33及びピン81に接続している。このピン81のうち、ピン81aが接地端子、ピン81bが電源端子となる。また、ビアとビアとの間には、ビア相互の接続を確実にするために、ビアパッド34～37も形成されている。コンデンサConは、コンデンサパッド32の長手方向（図中前後方向）に列状に並ぶビア61～64（列設ビア61～64）の群によって、それぞれ接地配線層51、57および電源配線層53に接続しており、回路的に見ると、この2層の間に介在し、いわゆるデカップリングコンデンサとして、これらの間に生じるノイズを除去する働きをもつ。1つの群に属する列設ビア61～64同士は、できるだけ小さな間隔で多くのビアを形成するようにされる。形成できるビアの数を多くして、電源配線層や接地配線層との接続抵抗をできるだけ小さくするためである。

【0007】ここで、第2絶縁層間12に形成された電源配線層53等の様子を表面00A側から平面視かつ透視すると、図7(a)のようになる。なお、本明細書では、平面図においてその上下に形成されたビアの配置を示すため、考察している絶縁層間で隣接する上下2層の絶縁層（本例で言えば、第2絶縁層間12で隣接する絶縁層2、3）のうち、紙面上側にある絶縁層（本例で言えば、絶縁層2）に形成されているビアを×印で、紙面下側（本例で言えば、絶縁層3）に形成されているビアを○印で表すことにする。従って、ビアが上下方向に重なって形成されている場合には、×印と○印をが重なって描かれる場合もある。第2絶縁層間12に広がって形成された電源配線層53には、フリップチップパッド31からビア41を介して（×印で示すように）ビア42が接続し、また、ピン81からビア75、74を介して（○印で示すように）ビア73が接続している。従って、この電源配線層53のうち、ビア42の接続点とビア73の接続点との間で、電流が流れることになる。なお、ビア42のうちには、電源配線層53には接続されず、ビアパッド35を介してビア43と接続して裏面00b側に延びるものもある。

【0008】ところで、第2絶縁層間12には、コンデンサパッド32から延びる列設ビア62、63同士を接続する列設ビア接続導体層54と、第2絶縁層間12に広がる電源配線層53との間を絶縁するため、図7

(a)において上下方向に長い、従って、図6において前後方向に長い、略ロ字状の絶縁パターン92が形成されている。コンデンサパッド32が、図6において前後方向に長い略長方形にされているためである。ここで、

切断線 C-C' 上のビア 42a とビア 73a についてみると、この切断線 C-C' 上に列設ビア接続導体層 54 および絶縁パターン 92 も位置しているため、この間を流れる電流は、図 7 (a) において破線で示すように、列設ビア接続導体層 54 および絶縁パターン 92 を迂回するようにして流れることになる。このため、電流の通る経路が長くなり、この間の抵抗が高くなる。つまり、このようなパターンによって電源配線層 53 の接地抵抗が上昇することになる。

【0009】同様に、第 3 絶縁層間 13 に形成された信号配線 56 等の様子を表面 00A 側から平面視すると、図 7 (b) のようになる。この場合も、列設ビア 63 同士を接続する列設ビア接続導体層 55 が有るため、切断線 C-C' 上に形成されたビア 43a とビア 74a とを結ぶ信号配線 56a は、列設ビア接続導体層 55 を避けて大きく迂回することになる。このため、信号配線 56a の長さが長くなり、その抵抗が上昇し、信号に遅延が生じる。

【0010】本発明は、かかる問題点に鑑みてなされたものであって、基板の表面あるいは裏面にコンデンサパッドを備えながらも、このコンデンサパッドから延びる列設ビア群の列設方向を転換して、ベタ状の接地配線層や電源配線層において電流を流れやすくして抵抗を低減することを目的とする。さらには、信号配線を短距離で結ぶことを可能とし、低抵抗の信号配線を持つ基板を提供することを目的とする。

【0011】

【課題を解決するための手段、作用及び効果】そしてその解決手段は、表面と裏面とを有し、上記表面の一部を占める領域であって、その内部に IC 接続端子を多数含む端子形成領域と、上記表面または裏面に形成され、IC チップに接地電位を供給するための接地端子および電源電位を供給するための電源端子を含む多数の外部接続端子と、上記表面または裏面に形成され、コンデンサを接続するコンデンサパッドと、を備える多層配線基板であって、上記コンデンサパッドが形成された面との間に少なくとも 2 層の絶縁層が介在する絶縁層間に形成され、上記 IC 接続端子と上記接地端子または電源端子とを導通する導通路の一部を構成し、上記多層配線基板を平面視かつ透視したときに、少なくとも上記端子形成領域と上記導通される接地端子または電源端子との間に広がるベタ導体層を備え、上記コンデンサパッドは、上記多層配線基板を平面視かつ透視したときに、上記端子形成領域と上記ベタ導体層に接続する上記接地端子または電源端子とを結ぶ仮想線上にあり、しかもその長手方向が上記仮想線に交差して配置されており、上記コンデンサパッドから延びるビア群であって、少なくともコンデンサパッドが形成される面を構成する絶縁層においてコンデンサパッドの長手方向に並び、上記ベタ導体層と絶縁を保ちつつ、このベタ導体層が形成された上記絶縁層

間を越えて反対面側に向けて延びるビア群を備え、上記ビア群は、上記ベタ導体層よりも上記コンデンサパッドが形成された面側に位置し隣接する 2 層の絶縁層のうち、上記コンデンサパッド側の絶縁層に形成されたビア群が、上記コンデンサパッドの長手方向に並ぶ 1 つの列設ビア群を構成し、上記コンデンサパッドと反対面側の絶縁層に形成されたビア群が、上記仮想線に略平行な方向に並ぶ 1 または複数の転換ビア群を構成し、上記 2 層の絶縁層間に形成され、上記列設ビア群と上記転換ビア群とを導通する転換導体層を備え、上記転換ビア群またはこれより上記反対面側に延びる転換延長ビア群の各ビアとベタ導体層との間に、両者間の絶縁を保ち、上記仮想線に略平行な方向に延びまたは並ぶ形状の絶縁パターンを備えることを特徴とする多層配線基板である。

【0012】本発明の多層配線基板では、ベタ導体層よりもコンデンサパッドが形成された面側に列設ビア群、転換導体層、および転換ビア群を有する。このため、ベタ導体層を挟む 2 つの絶縁層に形成されるビア群は、転換ビア群、または、この転換ビア群からさらに反対面側に向けて延び転換ビア群と同様に仮想線に略平行な方向に並ぶ転換延長ビア群となる。これにより、ベタ導体層において、この転換ビア群等の各ビアとベタ導体層との間の絶縁を保つために形成される絶縁パターンも、仮想線に略平行な方向に延びまたは並ぶ形状にされる。一方、ベタ導体層は、端子形成領域内の IC 接続端子とこのベタ導体層に接続する接地端子（または電源端子）とを導通する導通路の一部を構成するので、上記のように、仮想線に略平行な絶縁パターンは、ベタ導体層の電流の流れを阻害しにくい絶縁パターンとなる。つまり、ベタ導体層の抵抗を減少させ、接地抵抗や電源抵抗の小さな基板を実現することができる。また、端子形成領域内の IC 接続端子と外部接続端子のうち信号端子とを結ぶ信号配線を、大きく迂回させないで短距離で結び、あるいは、転換ビア群またはこれから延びるビア群同士の間を通して短距離で結ぶことで、信号配線の持つ抵抗を低下させることもできる。

【0013】ここで、多層配線基板は、絶縁層が多数積層され、絶縁層間のうちの一部には、信号配線層や接地・電源配線層などの導体層が形成される。絶縁層の材質としては、例えば、アルミナ、窒化アルミニウム、ガラスセラミック等のセラミックや、エポキシ樹脂、BT 樹脂、PPE 樹脂等の樹脂、あるいはこれらとガラス繊維やポリエステル繊維等の無機または有機繊維との樹脂複合材などが挙げられる。また、絶縁層間に形成される信号配線層等の導体層の材質は、絶縁層の材質を考慮して選択すればよいが、例えば、セラミック製絶縁層を用いた場合には、W、Mo、Mo-Mn、Cu、Ag、Ag-Pt、Ag-Pd 等が挙げられる。また樹脂や樹脂複合材を用いた場合には、Cu、Ni、Au 等が挙げられる。IC 接続端子とは、IC チップに形成した端子と接

続するために設けられる接続端子であり、具体的には、フリップチップ接続のためのフリップチップパッドやワイヤボンディング接続のためのワイヤボンディングパッドなどが挙げられる。

【0014】端子形成領域とは、上記基板の表面上の領域であって、上記した IC 接続端子をその内部に多数形成した領域を指し、例えば、正方形状や矩形状、ロ字状等の領域が挙げられる。外部接続端子とは、基板の裏面あるいは表面に形成され、マザーボードやコネクタ等の外部機器と接続するための接続端子であり、具体的には、ピン状端子、ボール状端子、ランド状端子などが挙げられ、通常、基板の裏面や表面の周縁部に格子状に配列されてそれぞれ PGA、BGA、LGA 等の端子構造を構成する。ビア群を構成するビアは、絶縁層を貫通して形成され、絶縁層の上下に形成された配線層や導体層を相互に導通するものであり、スタックドビア、スタガードビアなどの形態が挙げられるコンデンサは、基板とは別部材のコンデンサであり、通常その面積や体積を小さなものとするため、チップコンデンサを用いることが多いが、他のコンデンサでも良い。

【0015】ここで、上記の多層配線基板であって、前記転換ビア群に属するビアの断面積の和は、列設ビア群に属するビアの断面積の和と、等しいかこれよりも多いことを特徴とするのが好ましい。断面積が多いということは、ビア群全体での抵抗が小さくなることを示す。ここで、もし転換しないで、通常行うように列設ビアをそのまま（断面積も変えないで）反対面側に向けて延ばした場合と比較すると、転換によってビア群の抵抗が低下することになる。つまり、ビア列設方向転換構造によって、ビアの並ぶ方向を仮想線に略平行にするだけでなく、ビア群自身抵抗をも低下させることができ、さらに基板の性能を向上させられるからである。

【0016】さらに、上記の多層配線基板であって、前記転換導体層が、前記コンデンサパッドが形成された面を構成する絶縁層とこれに隣接する絶縁層との間に形成されていることを特徴とする多層配線基板とすると良い。

【0017】本発明の多層配線基板では、転換導体層が、コンデンサパッドが形成された面を構成する絶縁層とこれに隣接する絶縁層との間に形成されている。つまり、コンデンサパッドが形成された面（例えば表面）を構成する絶縁層に列設ビア群、これに隣接する絶縁層に転換ビア群、およびこれらの絶縁層間に転換導体層が形成される。従って、この転換導体層よりも、コンデンサパッドが形成された面とは反対面側にある絶縁層間に形成されるベタ層体層や信号配線層において、接地抵抗や電源抵抗、信号配線抵抗を低下させることができ、あるいは抵抗の小さな信号配線を容易に形成できるから、このような効果が得られる絶縁層間の数を最も増やすことができる。

【0018】さらに、上記の多層配線基板であって、1つの前記列設ビア群と接続する前記転換ビア群を複数備える場合において、上記列設ビア群における各ビア同士の前記コンデンサパッドの長手方向の間隔に比して、隣接する転換ビア群にそれぞれ属するビア同士の上記長手方向の間隔が広くされていることを特徴とする多層配線基板とすると良い。

【0019】本発明の多層配線基板では、コンデンサパッドの長手方向の間隔について見たとき、列設ビア群におけるビア同士の間隔に比して、隣接する転換ビア群それぞれ属するビア同士の間隔が広くされている。このため、このような転換ビア群または転換延長ビア群が上下の絶縁層に形成されている絶縁層間に形成されたベタ導体層においては、転換ビア群または転換延長ビア群と絶縁を保つために形成する絶縁パターン同士の間、比較的広い幅のベタ導体層を形成することができる。従って、この絶縁パターン間のベタ導体層を通して、IC 接続端子—接地端子（または電源端子）間の電流が流れるので、さらに接地抵抗や電源抵抗の小さな基板を実現することができる。また、このような転換ビア群または転換延長ビア群が上下の絶縁層に形成されている絶縁層間では、ビア群同士の間隔を広くできるので、この間に寸法的にも形状的にも信号配線を形成しやすくなり、抵抗の小さな信号配線を容易に形成できる。また、このビア群間に複数の信号配線を通すことが可能となる場合もあり、その場合には、より多くの信号配線を短距離で結んで、その抵抗を低下させることができる。

【0020】またさらに、前記転換ビア群同士、または前記転換延長ビア群同士に挟まれた信号配線を備えることを特徴とする多層配線基板とすると良い。

【0021】本発明の多層配線基板では、転換ビア群同士等の間に信号配線を形成したので、信号配線の長さをより短距離にすることができるから、信号配線の持つ抵抗をより低減することができる。

【0022】

【発明の実施の形態】本発明の実施の形態を、図面と共に説明する。本実施形態の基板 100 は、上記した従来の基板 00 と、コンデンサパッド 32 から延びるビアの並び方およびその近傍の形状等が異なるのみであるので、異なる部分を中心に説明し、同じ部分については同じ番号を付して説明を省略または簡略化する。断面図図 1、および表面 100A から見た状態の説明図図 2

(a) に示すように、この基板 100 の表面 100A の略中央の端子形成領域 31S において、IC チップ IC を接続するためのフリップチップパッド 31 が格子状に多数形成され、さらに、同じく表面 100A 上にコンデンサ Con を固着・搭載するための略長形状のコンデンサパッド 32 も形成されている。また、裏面 100B の周縁近傍には、格子状にピンパッド 33 が形成され、ピン 81 が固着されている。前記しなかったが、図 2

(a) に示す基板表面 100A の様子は、前記した従来の基板 00 においても同じである。

【0023】この基板 100 は、アルミナを主成分とするセラミック製で、5 層の絶縁層 1、102、103、4、5 が積層されており、これらの絶縁層間 111、112、113、14 には、フリップチップパッド 31 とビア 41～44 を介して接続する接地配線層 51、57、電源配線層 153、および信号配線 156 が形成され、これらは、ビア 73～75 を介してそれぞれピンパッド 33 及びピン 81 に接続している。このピン 81 のうち、ピン 81a は接地端子、ピン 81b は電源端子である。また、ビア 41～44、ビア 74、75 の間の絶縁層間には、ビアとビアとの間の位置ずれを吸収し確実に接続するためのビアパッド 34～36、37 が形成されている。これらのパッド、配線層及びビアは、いずれもタングステンを主成分とする導体からなり、セラミック製の絶縁層と共に同時焼成法によって形成される。コンデンサ Con も、従来の基板 00 (図 6 参照) と同様に、コンデンサパッド 32 の長手方向 (図中前後方向) に列状に並ぶ列設ビア 61 (61a、61b)、62 の群によって接地配線層 51 および電源配線層 53 に接続されて、回路的にデカップリングコンデンサとして機能している。次述するように、転換ビア 162 や転換延長ビア 163、164 によって、接地配線層 57 ととも接続している。また、列設ビア 61、62 同士の間隔も従来と同様に、抵抗を小さくするためできるだけ小さな間隔とされている。

【0024】ついで、第 1 絶縁層間 111 に形成された接地配線層 51 等の様子について、表面 100A 側から平面視かつ透視した状態を図 2 (b) に示す。接地配線層 51 は、絶縁層間 111 のうち、中央部を除く略全面に広がる導体層である。フリップチップパッド 31 から延びるビア 41 のうちのいくつか (本例では、×印で示す 3 本) が、この接地配線層 51 に接続している。その他は、絶縁層間 111 に形成されたビアパッド 34 を介して紙面下方に形成された○印で示すビア 42 によって下方 (裏面側) に向かって延びる。コンデンサパッド 32 から絶縁層 1 内を裏面 100B 側に向けて延びて、絶縁層間 111 に延出した列設ビア 61 のうち、図中向かって右側の列設ビア 61b の群 (図において 3 ケ) は、列設ビア接続導体層 52 で互いが接続し、その周りには、接地配線層 51 と絶縁を保つため、略ロ字状の絶縁パターン 91 が形成されている。なお、列設ビア接続導体層 52 には、列設ビア 61b とそれぞれ上下同じ位置に形成され、裏面 100B 側に向かって延びる列設ビア 62 が接続している。

【0025】一方、列設ビア 61 のうち、図中向かって左側の列設ビア 61a の群 (図において 3 ケ) は、それぞれ×印で示すように接地配線層 51 に接続している。さらに、この列設ビア 61a は裏面 100B 側に向けて

延び、もう 1 つの接地配線層 57 に接続するのであるが、各列設ビア 61 と上下同じ位置に形成されない。図 2 (b) 中、○印で示すように、列設ビア 61a (61a1、61a2、61a3) が切断線 C-C' に対して直交する向き (図 2 (b) 中、紙面上下方向) に並んでいるのに対し、転換ビア 162 を、切断線 C-C' と平行の向き (図 2 (b) 中、紙面左右方向) に 2 つずつ並べる。これにより、3 ケのビアからなる 1 つの列設ビア 61a の群を、それぞれ 2 つの転換ビア 162 が属する 2 つの転換ビア 162 の群にしている。即ち、転換ビア 162a、162b からなる群 162G1 と、同じく転換ビア 162c、162d からなる群 162G2 である。しかも、3 ケの列設ビア 61a のうち、両端の列設ビア 61a1、61a3 の図中左右に各々転換ビア 162 が 1 ケずつ配置されるようにした。このため、2 つの転換ビアの群 162G1、162G2 にそれぞれ属するビア同士の間隔は、列設ビア 61a 同士の間隔の 2 倍になる。

【0026】次に、第 2 絶縁層間 112 に形成された電源配線層 153 等の様子を表面 100A 側から平面視かつ透視すると、図 3 (a) に示すようになる。第 2 絶縁層間 112 に拡がって形成された電源配線層 153 には、フリップチップパッド 31 からビア 41 を介して (×印で示すように) ビア 42 が接続し、また、ピン 81 からビア 75、74 を介して (○印で示すように) ビア 73 が接続しているので、接地配線層 153 のうち、ビア 42 の接続点とビア 73 の接続点との間で、電流が流れることになるのは、前記基板 00 と同様である。ここで、本実施形態では、上記したように列設ビア 61a の群が並ぶ方向は、接地配線層 51 を介して転換ビア 162 の群 162G1、162G2 によって、その方向が転換されている。このため、前記した従来の基板 00 の場合と異なり (図 7 (a) 参照)、1 つの群を成す (本例では 2 つの) 転換ビア 162 同士を接続する転換ビア接続導体層 154a、154b は、その長手方向が切断線 C-C' に略平行に形成される。なお、この切断線 C-C' は、図 3 (a) 中一点鎖線で示す端子形成領域 31S と電源端子 81b とを結ぶ仮想線にもなっている。更にいえば、電源配線層 153 に接続するビア 42a とビア 73a とを結ぶ仮想線になっている。しかも、上記したように、この 2 つの群 162G1、162G2 の間隔が広くされているので、転換ビア接続導体層 154a、154b の周りに、電源配線層 153 との絶縁のための図中横長略ロ字状の絶縁パターン 192a、192b をそれぞれ形成しても、その間に、電源配線層 153s を形成することができる。

【0027】従って、ビア 42 の接続点とビア 73 の接続点との間に流れる電流は、図中破線で示すようになり、その一部は絶縁パターン 192a、192b の間の電源配線層 153s を通る距離の短い経路を取る。従っ

て、従来の場合に比較して、電源配線層 153 の持つ抵抗を減少させることができたことになる。また、電流が電源配線層 153s を通ることにより、切断線 C-C' 上以外に位置するビア 42 とビア 73 との間で流れる電流も、図 7 (b) の場合に比較してその経路が短くなるため、この点からも電源配線層 153 の抵抗を低下させることになる。そして、転換ビア 162 と上下同じ位置に形成した転換延長ビア 163 が、さらに裏面 100B 側に延びる。

【0028】同様に、第 3 絶縁層間 113 に形成された信号配線 156 等の様子を表面 100A 側から平面視すると、図 3 (b) のようになる。この場合も、転換延長ビア 163、164 同士を接続する転換延長ビア接続導体層 155a、155b が有るため、切断線 C-C' 上に形成されたビア 43a とビア 74a とを結ぶ信号配線 156a は、転換延長ビア接続導体層 155a と 155b の間を通すことができるので、僅かに迂回するだけで足りる。このため、信号配線 156a の長さを短くでき、その抵抗を低下させ、信号の遅延を防止できる。また、信号配線 156a が転換延長ビア接続導体層 155a と 155b の間を通るため、他の信号配線 156 も短距離でビア間を接続できるようになり、同様に信号配線の抵抗を低下させることができ、遅延も防止できる。

【0029】このように、本実施形態の基板 100 では、コンデンサパッド 32 から延びる列設ビア 61a の群の並ぶ方向を接地配線層 51 および転換ビア 162 の群により変更したので、電源配線層 153 や信号配線層 156 の抵抗を低下させることができた。なお、本実施形態では、1 つの群を成す転換ビア 162 (例えば、162a と 162b) や転換延長ビア 163、164 同士を、転換ビア接続導体層 154a、154b や転換延長ビア接続導体層 155a、155b で相互に接続した。1 つのビアに断線が生じた場合、転換ビア接続導体層を形成しておかないと、そのビアの上下につながるビアすべてが不導通になるが、転換ビア接続導体層を形成しておけば、断線したビアのみ不導通となるだけで済み、断線による抵抗の上昇が最小限に抑えられると共に、配線の信頼性も高くできるからである。但し、信頼性等を勘案した上で、ビア同士を接続しないでおくこともできる。この場合には、転換ビア 162 と電源配線層 153 との間の絶縁パターンは、切断線 (仮想線) C-C' に略平行に並ぶことになる。

【0030】上記実施形態においては、絶縁層 1 に形成した列設ビア 61 の群と、絶縁層間 111 に形成した接地配線層 51 と、絶縁層 2 に形成した転換ビア 62 の群とで列設ビアの方向を転換した。この他、絶縁層 2 と 3 及びこれらの絶縁層間 12 において、上記と同様に列設ビアの方向を転換しても良い。ただし、この場合には、絶縁層間 113 に形成した信号配線 162 については、上記実施形態と同様に経路を短くでき、信号配線の抵抗

を低減できるが、絶縁層間 112 に形成した電源配線層については、前記した従来の基板 00 における電源配線層 53 と同じ形状となるので (図 6、図 7 (a) 参照)、電源配線層の抵抗を低減することができない。従って、このことから判るように、できるだけコンデンサパッド 32 に近い位置で列設ビアの方向を転換することが望ましい。つまり、列設ビア 61 と転換ビア 62 の両者が接続する転換導体層 (上記実施形態における接地配線層 51) が、コンデンサパッド 32 が形成された面 (本実施形態では表面 100A) をなす絶縁層 1 とこれに隣接する絶縁層 102 との間に形成されているようにするのが望ましい。

【0031】上記実施形態においては、列設ビア 61 の群 (3ヶ) を 2 つの転換ビア 162 の群 (2ヶ×2) にする構造を用いた。また、列設ビアと転換ビアとの両者を接続する導体層として、接地配線層 51 を用いた。しかし、これに限定されることはなく、他の構造であっても良い。例えば、図 4 (a) に示すように、図中前後方向に並ぶ 5ヶの列設ビア 261 の群を、図示しない絶縁層の絶縁層間に形成された略長形状の転換導体層 251 を介して、図中左右方向に 2ヶずつ並ぶ転換ビア 262a、262b、262c の群に転換しても良い。なお、上記した理由から、転換ビア 262a 等はそれぞれ転換ビア接続導体層 254a、254b、254c によって互いに導通するようにすると良い。このようにすれば、例えば、転換ビア 262b と 262c との間、具体的に言えば、転換ビア接続導体層 254b と 254c との間に、所定の絶縁間隔を保つようにした絶縁パターン (図示しない) を形成した上で、接地配線層や電源配線層などのベタ状の導体層 (図示しない) を形成することができる。また、転換ビア接続導体層 254b と 254c との間に、信号配線層を通すことができる。従って、従来のように、列状ビアの群を避けて迂回する必要が無く、矢印で示すように、図中左右方向に電流を流し、あるいは、信号を伝送することができるから、接地配線層などのベタ状導体層の抵抗を引き下げることができ、あるいは、信号配線の抵抗を引き下げ、信号の遅延を防止することができる。

【0032】また、図 4 (b) に示すように、図中前後方向に並ぶ 5ヶの列設ビア 361 の群を、図示しない絶縁層の絶縁層間に形成された略十字形状の転換導体層 351 を介して、図中左右方向に並ぶ 5ヶの転換ビア 362 の群に転換する構造にしても良い。なお、転換ビア 362 はそれぞれ転換ビア接続導体層 354 によって互いに導通するようにすると良い。このようにした場合も、転換ビア 362 や転換ビア接続導体層 354 との間に、所定の絶縁間隔を保つようにした上で、接地配線層などのベタ状の導体層 (図示しない) を転換ビア 362 や転換ビア接続導体層 354 の近傍まで形成することができる。また、転換ビア 362 や転換ビア接続導体層 354

の近傍に、信号配線層を通すことができる。従って、このようにした場合にも同様に、接地配線層などのベタ状導体層の抵抗を引き下げることができ、あるいは、信号配線層の抵抗を引き下げ、信号の遅延を防止することができる。

【0033】上記実施形態および図4(a)、(b)に示す例では、列設ビアの並ぶ方向と、転換ビアの並ぶ方向とが基板を略直交する場合について示した。しかし、本発明は、列設ビアの群によって、ベタ状導体層を流れる電流が妨げられたり、信号配線層の経路が迂回させられたりするのを防止して、ベタ状導体層や信号配線層の抵抗を下げる等の効果を得るものであるもので、直交していなくとも良いことは明らかである。例えば、図4

(c)に示すようなものでも良い。図4(c)は、転換導体層451を形成する絶縁層間を基準として、基板を平面視しかつ各絶縁層を透視したときの状態で示してある。上層(紙面上側)の絶縁層に形成され×印で示す5ヶの列設ビア461の群は、図中上下方向に並び、転換導体層451に接続している。一方、下層(紙面下側)の絶縁層の形成され○印で示す転換ビア462a、462b、462cの群は、図中右上がりの斜め方向にそれぞれ2ヶずつ並び、同様に転換導体層451に接続している。また、転換ビア462a等はそれぞれ転換ビア接続導体層454a、454b、454cによって互いに導通されている。このようにした場合、例えば、図4

(c)に示すように、転換ビア462a、462bとの間、つまり転換ビア接続導体層454aと454bとの間に、信号配線層456を通すことにより、斜め方向に信号配線層の経路を短くすることもできる。また、信号配線層456に代えてベタ導体層をこの間に形成することで、ベタ層体層の抵抗を下げることもできる。

【0034】さらに、上記では、列設ビアの群はいずれも1列に並んでいたが、これに限定されない。例えば、図5(a)に示すように、×印で表す各5ヶの列設ビア561が2列に並んでいる場合にも、転換導体層551を用いて、図中横方向にそれぞれ4ヶの転換ビア562a、562b、562cが3列に並ぶように転換しても良い。この場合、各4ヶの転換ビア562a、562b、562cは、紙面より下側の層間において、それぞれ転換ビア接続導体層554a、554b、554cにより互いに接続される。また、図5(b)に示すように、×印で表す5ヶの列設ビア661がジグザグに並んでいる場合にも、転換導体層651を用いて、図中横方向に3ヶの転換ビア662a、662bが2列に並ぶように転換しても良い。この場合、各3ヶの転換ビア662a、662bは、紙面より下側の層間において、それぞれ転換ビア接続導体層654a、654bにより互いに接続される。

【0035】なお、上記実施形態、図4、および図5に示す列設ビア方向転換構造では、いずれも列設ビアの数

に比して、転換ビアの合計の数が等しいかそれよりも多くなるようにされている。デカップリングコンデンサの機能を十分得るため、コンデンサパッドと接地配線層または電源配線層と間の接続抵抗は、できるだけ小さいことが望ましい。各ビアの断面積が等しいとすれば、コンデンサパッドから延びる列設ビアの数に比して、転換ビアの数を少なくすれば、コンデンサパッドと接地配線層との接続抵抗が上昇することになるので、転換ビアの数をむしろ多くするのが望ましいからである。同様の理由から、各ビアの断面積を変更できる場合には、列設ビアの断面積の合計に比して転換ビアの断面積の合計を等しいか多くするのが好ましい。また、上記実施形態や図4(c)では、転換ビア(または転換延長ビア)の群同士の間を通す信号配線が1本の場合を示したが、複数本であっても良いことは明らかである。さらに、上記実施形態では、各転換ビア接続導体層が互いに平行である例を示したが、必ずしもこれらが平行でなくとも良く、例えば、基板を平面視かつ透視したときに、端子形成領域を中心として放射状になるように形成しても良い。

【0036】以上において、本発明を実施形態および各種の変形例に即して説明したが、本発明は上記実施形態や変形例に限定されるものではなく、その要旨を逸脱しない範囲で、適宜変更して適用できることはいうまでもない。例えば、上記実施形態の基板100では、コンデンサパッド32がICチップICを搭載する表面100Aに形成されていたが、逆側の裏面100Bに形成されたものに本発明を適用しても良い。また、上記実施形態の基板100では、ピンパッド33およびピン81が裏面100Bの周縁近傍に形成されていたが、表面100Aに形成されたものに本発明を適用しても良い。また、基板の表面または裏面に搭載するコンデンサは、1つとは限らず複数でも良い。従って、これらのコンデンサを取り付けるコンデンサパッドから延びる列設ビアについて、本発明の列設ビア方向転換構造を基板の各所で適用しても良いことは明らかである。

【図面の簡単な説明】

【図1】実施形態1に掛かる多層配線基板の構造を示す部分破断断面図である。

【図2】図1の多層配線基板において、(a)は表面に形成されたIC接続端子およびその上下の絶縁層に形成されたビア配置の様子を示す説明図、(b)は第1絶縁層間に形成された導体層(転換導体層)およびその上下の絶縁層に形成されたビア配置の様子を示す説明図である。

【図3】図1の多層配線基板において、(a)は第2絶縁層間に形成されたベタ導体層およびその上下の絶縁層に形成されたビア配置の様子を示す説明図、(b)は第3絶縁層間に形成された信号配線層およびその上下の絶縁層に形成されたビア配置の様子を示す説明図である。

【図4】他のビア転換構造の例を示す説明図であり、

(a) は転換ビア群を 1 列にしたもの、(b) は実施形態 1 と同様であるが、転換導体層が独立したもの、

(c) は列設ビア群を結ぶ方向と転換ビア群を結ぶ方向とが斜めになっているものを示す。

【図 5】他のビア転換構造の例を示す説明図であり、

(a) は列設ビア群が 2 列であるもの、(b) は列設ビア群が千鳥状に配置されたものを示す。

【図 6】従来の多層配線基板の構造を示す部分破断断面図である。

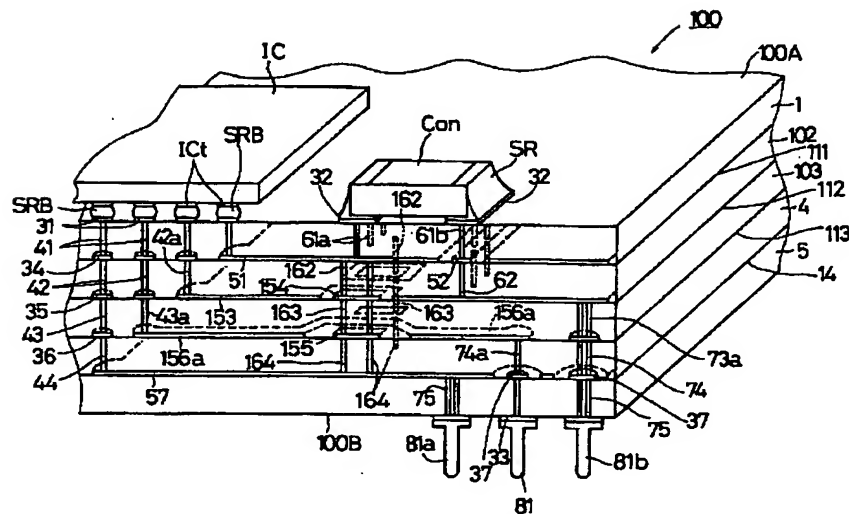
【図 7】図 6 の多層配線基板において、(a) は第 2 絶縁層間に形成されたベタ導体層およびその上下の絶縁層に形成されたビア配置の様子を示す説明図、(b) は第 3 絶縁層間に形成された信号配線層やその上下の絶縁層に形成するビア配置の様子を示す説明図である。

【符号の説明】

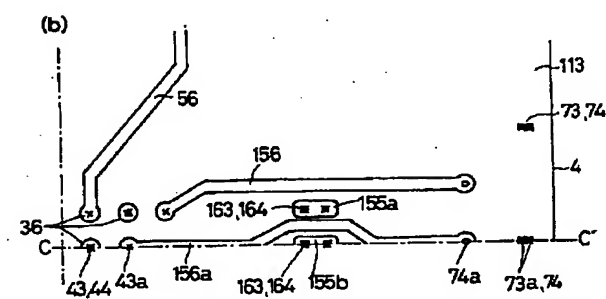
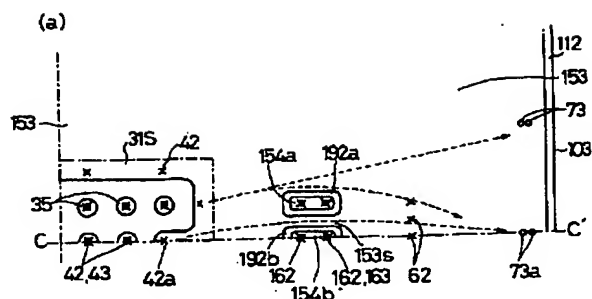
100	多層配線基板 (基板)
1, 102, 103, 4, 5	絶縁層
111, 112, 113, 14	絶縁層間
31	フリップ
チップパッド	
31S	端子形成
領域	
32	コンデン
サパッド	

33	ピンパッ
ド	
34, 35, 36, 37	ビアパッ
ド	
41, 42, 43, 44	ビア
51, 57	接地配線
層	
153	電源配線
層	
154	転換ビア
接続導体層	
155	転換延長
ビア接続導体層	
61, 62	列設ビア
162	転換ビア
163, 164	転換延長
ビア	
73, 74, 75	ビア
81	ピン
261, 361, 461, 561, 661	列設ビア
251, 351, 451, 551, 651	転換導体層
層	
262, 362, 462, 562, 662	転換ビア
254, 354, 454, 554, 654	転換ビア
接続導体層	

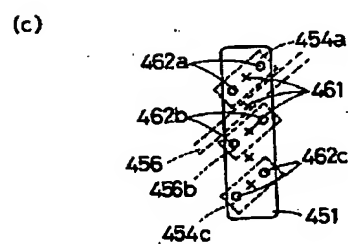
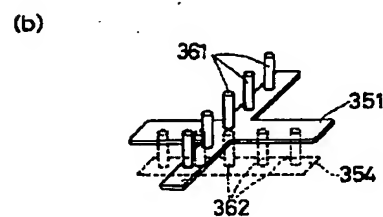
【図 1】



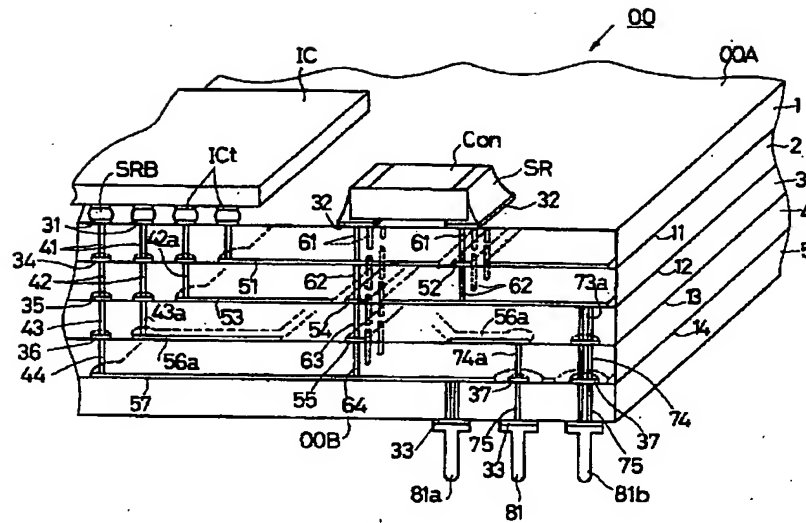
【図 3】



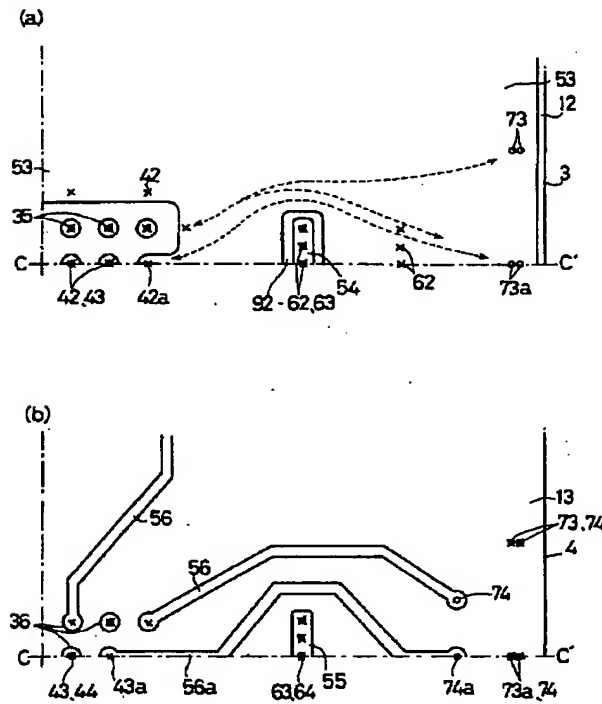
【图 4】



【図 6】



【図 7】



フロントページの続き

Fターム(参考) 5E346 AA12 AA15 AA43 BB02 BB03
BB04 BB07 BB11 BB16 CC02
CC08 CC16 CC31 FF01 FF34
FF35 FF45 HH01 HH02 HH05